



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 101 30 123 A 1**

⑤1 Int. Cl.⁷:
H 04 L 7/033
H 03 K 5/14

②1 Aktenzeichen: 101 30 123.5
②2 Anmeldetag: 22. 6. 2001
④3 Offenlegungstag: 9. 1. 2003

DE 101 30 123 A 1

⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE
⑦4 Vertreter:
Epping, Hermann & Fischer, 80339 München

⑦2 Erfinder:
Hein, Thomas, 81541 München, DE; Heyne, Patrick,
81243 München, DE; Marx, Thilo, 80997 München,
DE; Partsch, Torsten, 27514 Capel Hill, NC, US

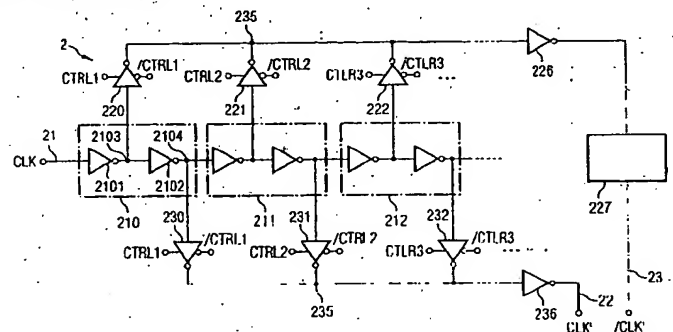
⑤6 Entgegenhaltungen:
DE 195 33 414 C1
DE 197 01 937 A1
WO 99 07 070 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verzögerungsregelkreis zur Erzeugung komplementärer Taktsignale

⑤7 Ein Verzögerungsregelkreis weist eine Verzögerungseinheit (2) auf mit in Abhängigkeit von einem Steuersignal (CTRL) steuerbarer Verzögerungszeit. Zur Erzeugung komplementärer verzögerter Taktsignale (CLK', /CLK') sind Schaltelemente vorgesehen (220, ..., 232), die das längs der Reihenschaltung von Verzögerungselementen (210, 211, 212) zu verzögernde Taktsignal (CLK) abgreifen. Jedes der Verzögerungselemente (210, 211, 212) seinerseits weist die Reihenschaltung zweier Inverter (2101, 2102) auf. Das eine der verzögerten Taktsignale (CLK') wird jeweils am Ausgang des zweiten der Inverter (2101) der Verzögerungselemente (210, 211, 212) abgegriffen, das komplementäre der verzögerten Ausgangssignale (/CLK') wird am ersten (2102) der Inverter der Verzögerungselemente (210, 211, 212) abgegriffen. Dadurch wird ermöglicht, daß unbeachtlich der Frequenz des zu verzögernden Taktsignals (CLK) und der Länge der Verzögerungszeit die komplementären verzögerten Taktsignale (CLK', /CLK') stets gleiche Phasenlage zueinander aufweisen.



DE 101 30 123 A 1

[0001] Die Erfindung betrifft einen Verzögerungsregelkreis, der eine Verzögerungseinheit mit steuerbarer Verzögerungszeit sowie eine Rückkopplungsschleife aufweist zur Steuerung der Verzögerungszeit, wobei komplementäre verzögerte Taktsignale abgreifbar sind.

[0002] Verzögerungsregelkreise werden in digital arbeitenden Schaltungen eingesetzt, um Taktsignale mit vorbestimmter Phasenlage zu erzeugen. Beispielsweise wird in synchron betriebenen integrierten Halbleiterspeichern, sogenannten SDRAMs (Synchronous dynamic random access memories) eine Verzögerungsschleife dazu verwendet, um unter Berücksichtigung von internen Signallaufzeiten ein Taktsignal zu erzeugen, das auszugebende Daten synchron mit einem an anderer Stelle der integrierten Schaltung zugeführten Eingangstaktsignal bereitstellt.

[0003] Hierzu wird im Verzögerungsregelkreis mittels eines Phasendetektors das der Verzögerungseinheit eingangsseitig zugeführte Taktsignal mit dem von der Verzögerungseinheit ausgangsseitig abgegebenen Taktsignal verglichen, wobei die Rückkopplungsschleife zusätzlich noch eine die nachgeschalteten Signallaufzeiten repräsentierende feste Verzögerungszeit enthält. Ein Schleifenfilter, beispielsweise auf Basis eines Zählers ausgeführt, steuert die Verzögerungszeit der Verzögerungseinheit. Die Regelschleife stellt die Verzögerungszeit soweit nach, daß die Phasendifferenz am Phasendetektor möglichst auf Null ausgeregelt wird. Die Verzögerungseinheit enthält eine Vielzahl von hintereinandergeschalteten Verzögerungselementen, an denen je ein vom Zähler ansteuerbarer Schalter angeschlossen ist, um das Ausgangssignal des jeweiligen Verzögerungselementes an den Ausgang der Verzögerungseinheit durchzuschalten. Die Anzahl der zwischen Eingang und Ausgang der Verzögerungseinheit wirksam geschalteten Verzögerungselemente bestimmt die momentane Verzögerungszeit.

[0004] Solche Verzögerungsregelkreise können ausgebildet sein, ausgangsseitig komplementäre Taktsignale zu erzeugen. Die komplementären Taktsignale werden entweder getrennt voneinander weiter verarbeitet oder wieder zu einem einphasigem Taktsignal zusammengeführt. Hierbei ist von Bedeutung, daß zwei korrespondierende Flanken des verzögerten Taktsignals und des verzögerten invertierten Taktsignals nicht zueinander phasenverschoben sind.

[0005] Eine Aufgabe der Erfindung besteht darin, einen Verzögerungsregelkreis anzugeben, der zwei komplementäre verzögerte Taktsignale auch bei hohen Frequenzen fehlerfrei und phasensynchron zueinander erzeugt.

[0006] Gemäß der Erfindung wird diese Aufgabe durch einen Verzögerungsregelkreis zur Erzeugung komplementärer Taktsignale gelöst, der umfaßt: eine Verzögerungseinheit mit einem Anschluß für ein zu verzögerndes Taktsignal und einem ersten Ausgangsanschluß für ein verzögertes Taktsignal, einem Anschluß für ein verzögertes komplementäres Taktsignal und einem Steueranschluß für ein die Verzögerungszeit steuerndes Steuersignal; eine Rückkopplungsschleife, durch die einer der Anschlüsse für eines der verzögerten Taktsignale auf den Steueranschluß rückgekoppelt ist; wobei die Verzögerungseinheit in Reihe geschaltete Verzögerungselemente enthält, die ihrerseits jeweils einen ersten und einen zweiten in Reihe geschalteten Inverter aufweisen, wobei der zweite Inverter dem ersten Inverter nachgeschaltet ist; vom Steuersignal schaltbare Schaltelemente, die an die Ausgänge der Inverter eingangsseitig angeschlossen sind; wobei die an die Ausgänge der ersten Inverter angeschlossen Schaltelemente ausgangsseitig zu einem ersten gemeinsamen Knoten verbunden sind, der an einen der Anschlüsse für eines der verzögerten Taktsignale gekoppelt

ist; und die an die Ausgänge der zweiten Inverter angeschlossen Schaltelemente ausgangsseitig zu einem zweiten gemeinsamen Knoten verbunden sind, der an den anderen der Anschlüsse für eines der verzögerten Taktsignale gekoppelt ist.

[0007] Beim Verzögerungsregelkreis gemäß der Erfindung umfaßt die Verzögerungseinheit Verzögerungselemente, die ihrerseits wiederum einen ersten und einen zweiten in Reihe hintereinander geschaltete Inverter aufweist. An den Ausgängen der jeweiligen ersten Inverter werden über Schaltelemente Impulse für das invertierte verzögerte Ausgangstaktsignal abgegriffen, an den Ausgängen der jeweiligen zweiten Inverter über entsprechende Schalter die verzögerten nicht invertierten Taktpulse. Die Verzögerungszeit wird dadurch gesteuert und eingestellt, daß je einer der Schalter aktiviert wird, um entsprechend der gewünschten Verzögerungszeit an geeigneter Stelle der Verzögerungsstrecke das Taktsignal abzugreifen. Die Verzögerungszeit wird somit durch die auf das zu verzögernde Taktsignal wirksame Anzahl der Verzögerungselemente bestimmt. Die Anordnung hat den Vorteil, daß die Ausgänge sämtlicher erster und sämtlicher zweiter Inverter stets mit der gleichen kapazitiven Last beschaltet sind, nämlich sowohl einem nachgeschalteten Inverter der Verzögerungseinheit oder einem Schaltelement zum Abgriff des nicht invertierten bzw. invertierten verzögerten Taktsignals. Dadurch ist gewährleistet, daß sämtliche Flanken des sich durch die Verzögerungseinheit ausbreitenden Taktsignals innerhalb jedes Inverters der Verzögerungselemente der Verzögerungseinheit um die exakt gleiche Verzögerungszeit verzögert werden. Daher werden das invertierte sowie das nicht invertierte verzögerte Taktsignal stets synchron zueinander abgegriffen und zwar unabhängig davon, ob der Abgriff am Anfang der Verzögerungseinheit nach kurzer eingestellter Verzögerungszeit oder am Ende der Verzögerungseinheit nach langer eingestellter Verzögerungszeit erfolgt. Auch bei hohen Frequenzen des Taktsignals bleibt die Synchronität von abgegriffenen verzögerten invertierten und verzögerten nicht invertierten Taktsignalen bestehen. Die Schaltung eignet sich daher besonders dazu, daß nicht invertiertes und invertiertes verzögertes Taktsignal anschließend wieder zu einem einphasigen Taktsignal kombiniert werden.

[0008] Wenn beispielsweise die genannte Synchronität des invertierten und nicht invertierten verzögerten Taktsignals nicht vorliegen würde und bei einem Abgriff am Anfang der Verzögerungseinheit verglichen mit einem Abgriff am Ende der Verzögerungseinheit unterschiedlich wäre, dann müßte damit gerechnet werden, daß bei hohen Frequenzen des zu verzögernden Taktsignals am Ausgang Impulse unterdrückt würden. Ein solcher Nachteil ist bei der Erfindung nicht mehr gegeben.

[0009] Das invertierte verzögerte Ausgangssignal wird nach dessen Abgriff nochmals einer weiteren Verzögerung unterzogen, die genau der Verzögerungszeit eines der stets gleichartigen Inverter der Verzögerungseinheit entspricht. Dadurch werden die synchron abgegriffenen Flanken des invertierten und nicht invertierten verzögerten Taktsignals exakt in zeitliche Übereinstimmung gebracht und aneinander ausgerichtet. Diese zusätzliche Verzögerungszeit wird durch ein nicht invertierendes weiteres Verzögerungselement bewirkt.

[0010] Dem gemeinsamen Knoten, an dem die an der Verzögerungseinheit ansetzenden Schalter zum Abgriff des invertierten Taktsignals angeschlossen sind, und dem gemeinsamen Knoten, an dem die Schaltelemente zum Abgriff des nicht invertierten Taktsignals angeschlossen sind, ist zweckmäßigerweise wiederum ein jeweils gleichartig aufgebauter Treiber, beispielsweise ein Inverter nachgeschaltet. Sämtli-

che Schalter, die zum Abgriff des invertierten bzw. nicht invertierten verzögerten Taktsignals dienen, sind Tristate-Gatter. Tristate-Gatter sind von einem Steuersignal in einen durchlässigen und in einen hochohmigen Zustand schaltbar. Im durchlässigen Schaltzustand leiten sie ein eingangsseitig zugeführtes Signal invertiert weiter. Im hochohmigen Zustand sind sie gesperrt. Sämtliche Tristate-Gatter werden im Verzögerungsregelkreis von einem Schleifenfilter gesteuert, das von der Rückkopplungsschleife des Verzögerungsregelkreises angesteuert wird.

[0011] Nachfolgend wird die Erfindung anhand des in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Entsprechende Elemente in verschiedenen Figuren sind mit gleichen Bezugszeichen versehen. Es zeigen:

[0012] Fig. 1 eine Verzögerungseinheit gemäß der Erfindung zur Anwendung in einem Verzögerungsregelkreis;

[0013] Fig. 2 ein Transistorschaltbild eines Tristate-Gatters; und

[0014] Fig. 3 einen Verzögerungsregelkreis, in dem die Verzögerungseinheit der Fig. 1 anwendbar ist.

[0015] Dem in Fig. 3 dargestellten Verzögerungsregelkreis wird eingangsseitig ein Taktsignal CLKIN, beispielsweise an einem Eingangsanschluß der integrierten Halbleiterschaltung zugeführt. Der Schaltungsblock 1 repräsentiert die bis zur Eingangsseite einer Verzögerungseinheit 2 mit steuerbarer Verzögerungszeit vorliegende Signallaufzeit. Die Verzögerungseinheit 2 verzögert das ihr eingangsseitig zugeführte Taktsignal CLK entsprechend einem Steuersignal CTRL und erzeugt daraus ein verzögertes Taktsignal CLK'. Außerdem erzeugt die Verzögerungseinheit ein invertiertes verzögertes Taktsignal /CLK'. Schließlich repräsentiert der Schaltungsblock 3 die ausgangsseitig wirksame Signallaufzeit, einschließlich der Signallaufzeit durch die vom Taktsignal CLKOUT angesteuerten Treiber. Das Taktsignal CLKOUT liegt am Ausgang des Blocks 3 vor. Der Verzögerungsregelkreis weist eine Rückkopplungsschleife auf, die den Ausgang der Verzögerungseinheit 2 über einen Schaltungsblock 4 auf einen Phasendetektor 5 führt. Der Schaltungsblock 4 bildet die im Block 3 wirksame Signallaufzeit nach. Der Phasendetektor 5 vergleicht die Phasenlagen des rückgekoppelten Signals mit dem der Verzögerungseinheit 2 eingangsseitig zugeführten Taktsignal CLK. In Abhängigkeit davon wird ein Schleifenfilter 6 gesteuert, welches ausgangsseitig das Steuersignal CTRL erzeugt. Der Regelkreis regelt die Verzögerungszeit der Verzögerungseinheit 2 so weit nach, daß der Phasenunterschied der dem Phasendetektor 5 eingangsseitig zugeführten Signale möglichst Null wird. Insgesamt bewirkt der Verzögerungsregelkreis, daß ein vom Ausgangstakt CLKOUT gesteuertes Schaltelement Daten taktsynchron zum Eingangstakt CLKIN bereitstellt. Der Verzögerungsregelkreis findet beispielsweise in einem Mikroprozessor oder in einem SDRAM Anwendung. Beim SDRAM wird das Taktsignal CLKIN eingangsseitig zugeführt. Das Ausgangssignal CLKOUT steuert schließlich einen Ausgangstreiber für aus dem SDRAM auszulesende Datenwerte, so daß diese gesteuert durch das Taktsignal CLKOUT taktsynchron zum eingangsseitig zugeführtem Taktsignal CLKIN vorliegen.

[0016] Die Verzögerungseinheit 2 ist in Fig. 1 im Detail dargestellt. Die Verzögerungseinheit 2 weist eine Vielzahl von in Reihe geschalteten Verzögerungselementen 210, 211, 212 auf. Jedes der Verzögerungselemente ist identisch aufgebaut. So weist beispielsweise das Verzögerungselement 210 ebenso wie die übrigen der Verzögerungselemente einen ersten Inverter 2101 auf sowie einen zweiten Inverter 2102, deren Eingangs-Ausgangs-Signalfade in Reihe zueinander geschaltet sind. Der erste der Inverter der Verzögerungseinheit 2 wird an seinem Eingangsanschluß 21 von

dem von der Verzögerungseinheit 2 zu verzögernden Taktsignal CLK gespeist. Das Taktsignal wird im Signalfad längs der Inverter der Verzögerungselemente durchgeschaltet und läuft bis zum (nicht dargestellten) Ende der Reihenschaltung der Verzögerungselemente. In Abhängigkeit von der durch das Steuersignal CTRL bestimmten Verzögerungszeit sind Schaltelemente 220, 221, 222, 230, 231, 232 vorgesehen, um an der geeigneten Stelle der Reihenschaltung der Verzögerungselemente das verzögerte Taktsignal abzugreifen.

[0017] Die Schaltelemente 220, 221, 222 sind eingangsseitig an den jeweiligen Ausgang der ersten Inverter der Verzögerungselemente, z. B. am Ausgang des Inverters 2101, angeschlossen. Ausgangsseitig sind die Schaltelemente 220, 221, 222 gemeinsam an einen Knoten 225 gekoppelt. Jedes der Schaltelemente ist von einem Bit des Steuersignals CTRL steuerbar. So wird beispielsweise das Schaltelement 220 vom Steuersignal CTRL1 und von dessen Komplement /CTRL1 durchlässig oder hochohmig geschaltet. Durch die Schaltelemente 220, 221, 222 wird das zum eingangsseitig zugeführten Taktsignal CLK invertierte verzögerte Taktsignal abgegriffen. Für den Abgriff des nicht invertierten verzögerten Taktsignals stehen die Schaltelemente 230, 231, 232 zur Verfügung, die eingangsseitig an die jeweiligen Ausgänge der zweiten Inverter der Verzögerungselemente, z. B. an den Ausgang des Inverters 2102, angeschlossen sind. Ausgangsseitig sind die Schaltelemente 230, 231, 232 gemeinsam an einen Knoten 235 gekoppelt. Die an den Ausgängen der Inverter eines gleichen Verzögerungselementes angeschlossenen Schaltelemente werden gleichsinnig gesteuert. So sind die an die Ausgänge der Inverter 2101 und 2102 angeschlossenen Schaltelemente 220, 230 von den gleichen Bits CTRL1 und /CTRL1 des Steuersignals CTRL gesteuert. Über die Schaltelemente 220, 230 werden zueinander komplementäre verzögerte Taktsignale abgegriffen. Das zum eingangsseitig zugeführten Taktsignal CLK nicht invertierte Taktsignal wird über das Schaltelement 230 abgegriffen, das invertierte Taktsignal über das Schaltelement 220. Je nach gewünschter Verzögerungszeit wird eines der gezeigten Paare der Schaltelemente aktiviert. Die jeweils anderen der Schaltelemente sind sämtlich hochohmig geschaltet.

[0018] Sämtliche Inverter der Verzögerungselemente der Verzögerungseinheit sind gleichartig dimensioniert. Außerdem sind sämtliche Ausgänge dieser Inverter mit gleichen kapazitiven Lasten beschaltet, nämlich jeweils mit dem Eingang eines längs der Verzögerungsstrecke nachgeschalteten Inverters und mit dem Eingang eines der Schaltelemente. So weist der Ausgang des Inverters 2101, der auch als Knoten 2103 bezeichnet ist, die kapazitive Last durch den Eingang des nachgeschalteten Inverters 2102 auf sowie die Belastung durch den Eingang des Schaltelements 220. Der Ausgang des Inverters 2102, der auch als Knoten 2104 bezeichnet ist, ist durch den ersten Inverter des Verzögerungselements 211 belastet sowie durch den Eingang des Schaltelements 230. Beide Knoten 2103 sowie 2104 sind gleich belastet. Eine Signalfanke wird daher durch die Inverter 2101 und 2102 jeweils mit gleicher Verzögerungszeit verzögert. Daher weisen korrespondierende Flanken des invertierten und des nicht invertierten verzögerten Taktsignals, welche über das Schaltelement 220 bzw. das Schaltelement 230 abgegriffen werden, die gleiche Phasenverzögerung zueinander auf wie beispielsweise die am Verzögerungselement 212 über die Schaltelemente 222, 232 abgegriffenen verzögerten invertierten bzw. nicht invertierten Taktsignale. Der Phasenunterschied zwischen beiden abgegriffenen Taktsignalen beträgt die Verzögerungszeit längs des zweiten Inverters des jeweiligen Verzögerungselements, z. B. des Inverters 2102 des Verzögerungselements 210. Die abgegriffenen verzö-

gerten Signalkomponenten des invertierten und nicht invertierten verzögerten Taktsignals weisen daher unabhängig von der Frequenz des Taktsignals und unabhängig von der Länge der Verzögerungszeit die gleiche Phasenverschiebung zueinander auf.

[0019] Schließlich ist ein weiteres Verzögerungselement 227 dem Knoten 225 nachgeschaltet, das die Flanken der beiden komplementären verzögerten Taktsignale aneinander ausrichtet. Das weitere Verzögerungselement 227 weist eine Verzögerungszeit auf, die gleich der Verzögerungszeit eines zweiten Inverters eines der Verzögerungselemente ist, z. B. des Inverters 2102. Das Verzögerungselement 227 bewirkt allerdings keine Invertierung des Signals. Somit sind die ausgangsseitig abgegriffenen komplementären verzögerten Taktsignale CLK' und /CLK' synchron mit zeitlich beieinander liegender einander korrespondierender komplementären Flanken. Zusätzlich sind den Knoten 225, 235 noch Treiber, nämlich Inverter 226, 236 nachgeschaltet. Auch die Treiber 226, 236 sind zueinander gleich dimensioniert.

[0020] Das Ausgangssignal 'CLK' der Verzögerungsstrecke 2 wird in den Rückkopplungspfad des Verzögerungsregelkreises eingespeist. Die Regelung erfolgt also anhand des rückgekoppelten, nicht invertierten Signals CLK'. Das dazu invertierte Signal /CLK' wird gleichzeitig durch die angegebenen Maßnahmen flankensynchron bereitgestellt. Die beiden komplementären Taktsignale werden unabhängig von der Länge der Verzögerungszeit auch bei hohen Taktfrequenzen des zu verzögernden Taktsignals CLK funktionssicher erzeugt.

[0021] Eine Ausführungsform eines Tristate-Gatters ist in Fig. 2 gezeigt. Sämtliche Tristate-Gatter 220, 221, 222, 230, 231, 232 sind entsprechend aufgebaut. In der Fig. 2 ist das Tristate-Gatter 220 in seiner Schaltungsumgebung gezeigt. Es enthält zwei mit den Drain-Source-Strecken in Reihe geschaltete p-Kanal-MOS-Transistoren, die an die positive Versorgungsspannung VDD angeschlossen sind. Die p-Kanal-MOS-Transistoren sind über zwei mit ihren Drain-Source-Strecken in Reihe geschaltete n-Kanal-MOS-Transistoren mit dem Bezugspotential VSS verbunden. Die unmittelbar an die Versorgungspotentiale angeschlossenen Transistoren werden gateseitig vom Eingangssignal angesteuert, hier vom Knoten 2103. Der Ausgang 225 des Tristate-Gatters 220 liegt am Kopplungsknoten von p- und n-Kanal-Transistoren. Der innen liegende p-Kanal-Transistor bildet den invertierten Eingang für das invertierte Steuersignal /CTRL1 und der innen liegende n-Kanal-Transistor bildet den nicht invertierten Steuereingang des Tristate-Gatters und wird vom nicht invertierten Steuersignal CTRL1 angesteuert.

Bezugszeichenliste

1, 3, 4 Schaltungsblöcke
2 Verzögerungseinheit
5 Phasendiskriminator
6 Schleifenfilter
210, 211, 212 Verzögerungselemente
220, 221, 222, 230, 231, 232 Schaltelemente
225, 235 Knoten
226, 236 Inverter
237 Verzögerungselement
21, 22, 23 Anschlüsse
2101, 2102 Inverter
2103, 2104 Knoten
VDD, VSS Versorgungspotentiale
CTRL Steuersignale
CLK zu verzögerndes Taktsignal
CLK' verzögertes Taktsignal

/CLK' komplementäres verzögertes Taktsignal
CLKIN Eingangstaktsignal
CLKOUT Ausgangstaktsignal

Patentansprüche

1. Verzögerungsregelkreis zur Erzeugung komplementärer Taktsignale, umfassend:
eine Verzögerungseinheit (2) mit einem Anschluß (21) für ein zu verzögerndes Taktsignal (CLK) und einem ersten Ausgangsanschluß (22) für ein verzögertes Taktsignal (CLK'), einem Anschluß (23) für ein verzögertes komplementäres Taktsignal (/CLK') und einem Steueranschluß für ein die Verzögerungszeit steuerndes Steuersignal (CTRL);
eine Rückkopplungsschleife, durch die einer der Anschlüsse (22, 23) für eines der verzögerten Taktsignale (CLK', /CLK') auf den Steueranschluß rückgekoppelt ist; wobei
die Verzögerungseinheit (2) in Reihe geschaltete Verzögerungselemente (210, 211, 212) enthält, die ihrerseits jeweils einen ersten (2101) und einen zweiten (2102) in Reihe geschalteten Inverter aufweisen, wobei der zweite Inverter (2102) dem ersten Inverter (2101) nachgeschaltet ist;
vom Steuersignal (CTRL) schaltbare Schaltelemente (220, 221, 222, 230, 231, 232), die an die Ausgänge der Inverter eingangsseitig angeschlossen sind;
wobei die an die Ausgänge der ersten Inverter (2101) angeschlossenen Schaltelemente (220, 221, 222) ausgangsseitig zu einem ersten gemeinsamen Knoten (225) verbunden sind, der an einen der Anschlüsse (23) für eines der verzögerten Taktsignale (/CLK') gekoppelt ist; und
die an die Ausgänge der zweiten Inverter (2102) angeschlossenen Schaltelemente (230, 231, 232) ausgangsseitig zu einem zweiten gemeinsamen Knoten (235) verbunden sind, der an den anderen der Anschlüsse (22) für eines der verzögerten Taktsignale (CLK') gekoppelt ist.
2. Verzögerungsregelkreis nach Anspruch 1, dadurch gekennzeichnet, daß jeweils die zweiten Inverter (2102) der Verzögerungselemente (210, 211, 212) eine vorgegebene Verzögerungszeit aufweisen und daß ein weiteres Verzögerungselement (227) vorgesehen ist, das zwischen einen der gemeinsamen Knoten (225, 235) und den jeweiligen damit gekoppelten der Anschlüsse (23, 22) für eines der verzögerten Taktsignale (/CLK', CLK') geschaltet ist und das eine Verzögerungszeit aufweist, die gleich der vorgegebenen Verzögerungszeit ist.
3. Verzögerungsregelkreis nach Anspruch 2, dadurch gekennzeichnet, daß das weitere Verzögerungselement (227) mit dem Anschluß (23) für das bezüglich des zu verzögernden Taktsignals (CLK) komplementäre verzögerte Taktsignal (/CLK') verbunden ist.
4. Verzögerungsregelkreis nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß das weitere Verzögerungselement (227) einen Ausgangsanschluß aufweist, um ein ihm zugeführtes Eingangssignal nicht invertiert um die vorgegebene Verzögerungszeit verzögert abzugeben.
5. Verzögerungsregelkreis nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß zwischen die gemeinsamen Knoten (225, 235) und die jeweiligen damit gekoppelten der Anschlüsse (23, 22) für jeweils eines der verzögerten Taktsignale (/CLK', CLK') jeweils ein Inverter (226, 236) geschaltet ist.

6. Verzögerungsregelkreis nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Schaltelemente (220, 221, 222, 230, 231, 232) jeweils Tristate-Gatter sind, die in Abhängigkeit von einem Steuersignal (CTRL1; /CTRL1, CTRL2, /CTRL2, . . .) hochohmig oder für ein eingangsseitig angelegtes Steuersignal durchlässig geschaltet sind.

Hierzu 2 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

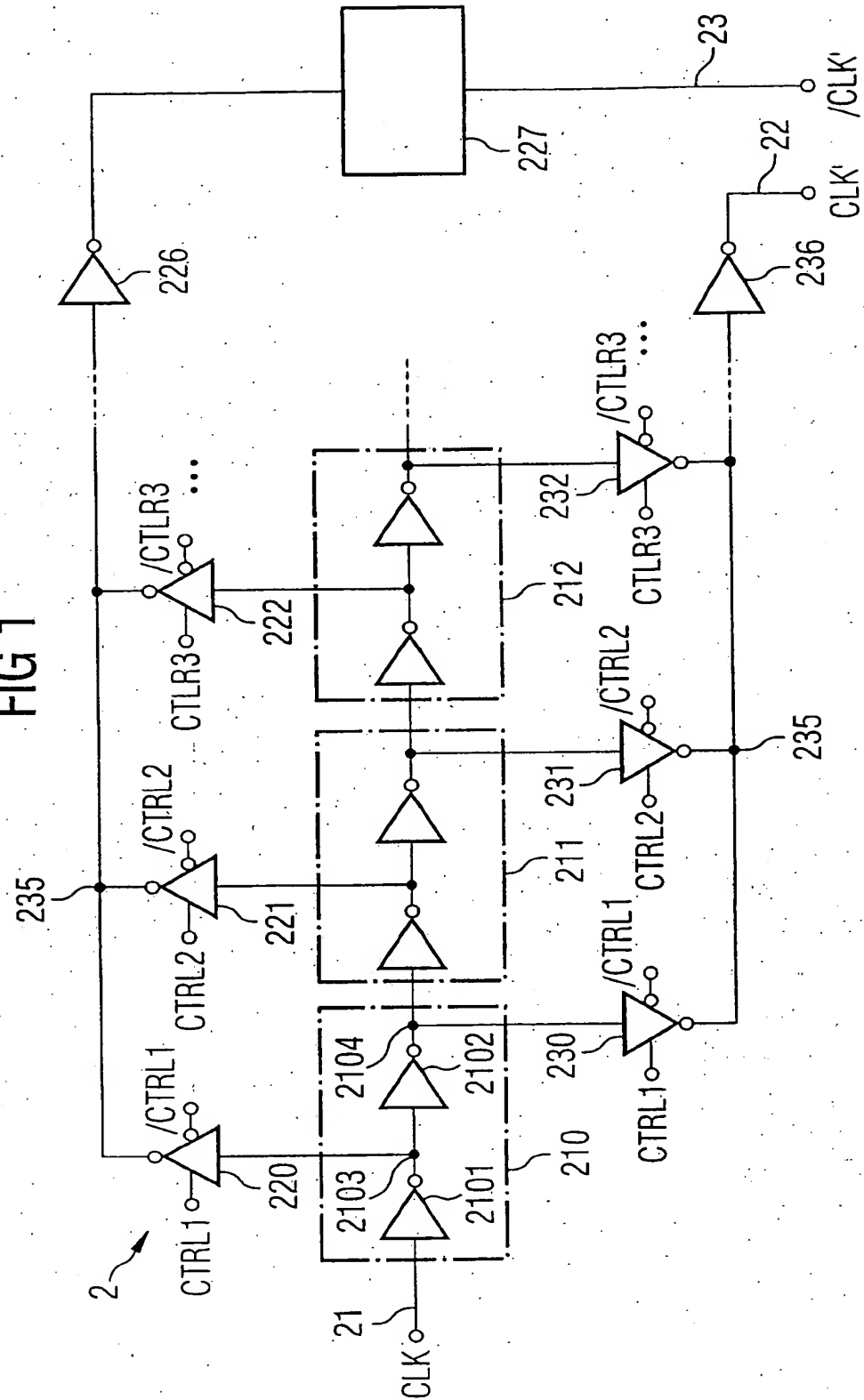


FIG 2

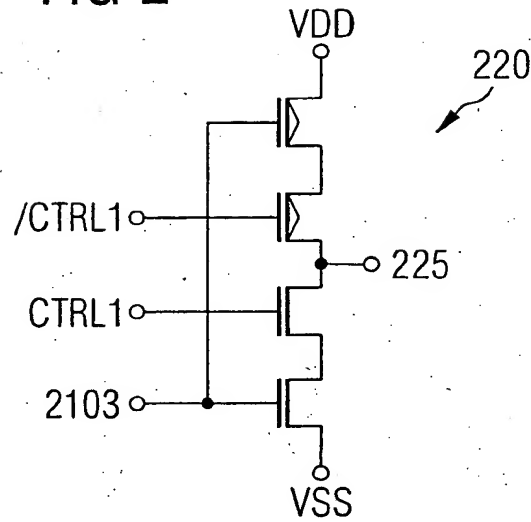


FIG 3

